

Mikroklocki Stępień Opracowanie by chorwat & kaldeban

1. Margines szumów – max amplituda zakłóceń, która dodana do sygnału wejściowego układu nie powoduje zmiany sygnału.

2. Udział CPU w transmisji DMA-Procesor programuje sprzętowy kontroler DMA przed rozpoczęciem trybu.

3. Różnica między adresowaniem pośrednim a bezpośrednim -

Adresowanie pośrednie -odwołuje(nie wiem czy to dobre słowo) się do DATA SFR oraz RAM
A **bezpśrednie** do IDATA RAM.

4. Rola Program Status Register-Control and Status Register (CSR) -rejestr w większości jednostek centralnych, który gromadzi dodatkowe informacje, jak wyniki instrukcji maszynowych, np. porównań. Zwykle składa się z szeregu niezależnych flag, jak carry, overflow i zero. CSR jest używany głównie do określania wyników instrukcji rozgałęzień warunkowych i innych form warunków

5. Cechy charakterystyczne stosu

Stos (Stack) – zespół rejestrów lub wydzielony logicznie fragment pamięci RAM, w którym informacja jest wpisywana lub odczytywana z jego wierzchołka (szczytu, Top-Of-Stack) wg. zasady LIFO (Last In → First Out)

przeznaczenie stosu: ochrona danych, przenoszenia zmiennych do procedur i podprogramów, przechowywania adresów powrotu z podprogramów, obsługa przerw

6. Co to jest wskaźnik stosu?-wskaźnik stosu (Stack Pointer) adresując stos jest automatycznie:

- inkrementowany/dekrementowany o liczbę bajtów przy przesłaniu zmiennej na stos
- dekrementowany/inkrementowany o liczbę bajtów pobranych ze stosu

7. Jak identyfikuje się źródła przerw oraz urządzenia zgłaszające przerwanie?-Wywołanie przerwania może być generowane przez źródła zewnętrzne jak i wewnętrzne.

Większość układów peryferyjnych mikrokontrolera ma możliwość generowania przerw po wystąpieniu określonego zdarzenia.(trochę naciągana odpowiedź)

8. Zagnieżdżanie przerw może być wykonane poprzez ustawianie GIE w procedurze obsługi przerwania. Maskowanie przerw jest dokonywane w rejestrach IE1 i IE2. Priorytety przerw są ustalone i nie można ich zmienić.

9. Omówić, co się dzieje podczas Power Down Mode -**Power Down Mode:** Wyłączenie zasilania. Wykonanie sekwencji operacji wyłączającej system.

Power-down Mode

-SM2..0 są ustawione na 010.

-Zatrzymuje większość oscylatorów.

-Działają tylko urządzenia asynchroniczne w stosunku do zegara systemowego.

-Działają: TWI, przerwanie zewnętrzne, watchdog, BOD.

-Obudzenie umożliwia przerwanie: reset, TWI zgodność adresu, INT0 i INT1 wyzwalane poziomem, INT2.

-Budzenie może trwać dość długo. Uruchomienie oscylatorów

wymaga pewnego czasu.

10. Rola Watchdoga - Watchdog (ang. pies łańcuchowy) to urządzenie, najczęściej układ elektroniczny, chroniący system mikroprocesorowy przed zbyt długim przebywaniem w stanie zawieszenia. Jego działanie polega na zresetowaniu procesora w przypadku nieotrzymania w określonym czasie sygnału generowanego przez program.

11. etykieta

jest to symboliczny adres zawarty w linii kodu programu (prawdopodobnie umieszczany przez kompilatora), który umożliwia szybkie przeskoczenie do tego miejsca. Jest ona zbudowana ze znaków odpowiednich dla danego języka programowania.

12. margines szumu dla TTL

max amplituda zakłóceń, która dodana do sygnału wejściowego układu nie powoduje zmiany sygnału. W cyfrowym obwodzie, margines szumu jest wartością przez którą sygnał przekracza próg dla właściwego '0' lub '1'. Marginesy szumu dla chipów CMOS są zwykle dużo większe niż TTL ponieważ V_{OH} min. jest bardziej bliższy napięciu zasilającemu i V_{OL} maksimum bliższe zeru. Marginesy szumu ogólnie są definiowane tak, że pozytywne wartości zapewniają prawidłową operację, i negatywne marginesy kończą się upośledzoną operacją, lub być może całkowitym błędem.

13. dlaczego dram musi być odświeżany

DRAM musi być odświeżany ze względu na rozładowywanie się kondensatorów

14. DMA

DMA (ang. Direct Memory Access bezpośredni dostęp do pamięci) technika, w której inne układy (np. kontroler dysku twardego, karta dźwiękowa, itd.) mogą korzystać z pamięci operacyjnej RAM lub (czasami) portów we-wy pomijając przy tym procesor główny CPU.

DMA ma za zadanie odciążyć procesor główny od samego przesyłania danych z miejsca na miejsce (np. z urządzenia wejściowego do pamięci), procesor może w tym czasie zająć się 'produktywnym' działaniem, wykonując kod programu pobrany uprzednio z pamięci RAM do pamięci cache operujący na danych w tejże pamięci zgromadzonych.

15. różnica między DRAM a SRAM

DRAM - pamięć dynamiczna. SRAM - pamięć półprzewodnikowa.

Pamięć dynamiczna, DRAM (ang. Dynamic Random Access Memory) rodzaj ulotnej pamięci półprzewodnikowej o dostępie swobodnym, której bity są reprezentowane przez stan naładowania kondensatorów. Poszczególne jej elementy zbudowane są z tranzystorów MOS, z których jeden pełni funkcję kondensatora, a drugi elementu separującego. musi być odświeżany ze względu na rozładowywanie się kondensatorów.

SRAM (ang. Static Random Access Memory), statyczna pamięć o dostępie swobodnym typ pamięci półprzewodnikowej stosowanej w komputerach, służy jako pamięć buforująca między pamięcią operacyjną i procesorem.

16. co to jest Carry

Carry - wyjście przeniesienia.

17. Przerzutnik typu D

Przerzutnik typu D (delay) (ang. Flip-flop) - jeden z podstawowych rodzajów przerzutników synchronicznych, nazywany układem opóźniającym. Jest on modyfikacją przerzutnika typu JK. Modyfikacja ta polega na połączeniu wejścia J z zanegowanym wejściem K. Zmiana danych następuje tylko w momencie zmiany zbocza zegara (zbocze narastające lub opadające - zależy od

typu przerzutnika D). Na wyjście Q w momencie zmiany zbocza następuje przepisanie wartości z wejścia D

18. funkcja Linkera

Linker (Konsolidator) w trakcie procesu konsolidacji łączy zadane pliki obiektowe i biblioteki statyczne tworząc w ten sposób plik wykonywalny. W systemach uniksowych jest to zazwyczaj program o nazwie ld.

19. PWM

PWM, Pulse-width modulation (pl. modulacja szerokości impulsu) to metoda regulacji sygnału prądowego lub napięciowego, polegająca na zmianie szerokości impulsu o stałej amplitudzie, używana we wzmacniaczach, zasilaczach impulsowych oraz układach sterujących pracą silników elektrycznych. Układ PWM zasila urządzenie bezpośrednio lub przez filtr dolnoprzepustowy, który wygładza przebieg napięcia lub prądu.

20. opisz przerwanie maskowane

Przerwanie Maskowalne - wyzwalane sygnałem INT - można programowo zablokować (mówimy: zamaskować), w tym sensie, że procesor nie będzie reagował na sygnał INT. W celu zablokowania przerwań procesor zeruje jednobitowy rejestr IFF1

21. Różnice między RISC a CISC

W RISC zredukowana została liczba rozkazów do niezbędnego minimum. Ich liczba wynosi kilkadziesiąt, podczas gdy w procesorach CISC sięga setek. Poza tym w RISC jest redukcja trybów adresowania i ograniczenie komunikacji pomiędzy pamięcią, a procesorem.

CISC (Complex Instruction Set Computers) – nazwa architektury mikroprocesorów o następujących cechach:

- ← duża liczba rozkazów (instrukcji)
- ← mała optymalizacja – niektóre rozkazy potrzebują dużej liczby cykli procesora do wykonania
- ← występowanie złożonych, specjalistycznych rozkazów
- ← duża liczba trybów adresowania
- ← do pamięci może się odwoływać bezpośrednio duża liczba rozkazów
- ← mniejsza od RISC-ów częstotliwość taktowania procesora
- ← powolne działanie dekodera rozkazów

RISC (Reduced Instruction Set Computers) - nazwa architektury mikroprocesorów która posiada cechy:

- ← Zredukowana liczba rozkazów do niezbędnego minimum.
 - ← Redukcja trybów adresowania, dzięki czemu kody rozkazów są prostsze, bardziej zunifikowane, co dodatkowo upraszcza wspomniany wcześniej dekodery rozkazów.
- Ponadto wprowadzono tryb adresowania, który ogranicza ilość przesłan

22. co to bankowanie rejestrów

Bankowanie rejestrów - Mechanizm pozwalający stosować pamięci o łącznej pojemności, przekraczającej możliwości adresowania mikroprocesora. Mikroprocesor ma dostęp tylko do jednego banku. Przełączanie banków jest realizowane przez zaprogramowanie dodatkowego rejestru przechowującego numer banku

23. i2c cechy

I2C - Standard został opracowany na początku lat 80. (określany obecnie jako tryb standardowy pracy) i cechowały go:

- * prędkość transmisji 100 kbps
- * 7-bitowa przestrzeń adresowa

W 1992 roku została opracowana wersja 1.0 standardu, która wprowadzała następujące zmiany:

- * dodanie trybu pracy z prędkością transmisji 400 kbps (Fast Mode)
- * rozszerzenie standardu o możliwość adresowania 10-bitowego

W 1998 roku opracowana została wersja 2.0:

- * dodanie trybu High Speed Mode, pozwalającego na prędkość transmisji 3,4 Mbps
- * Zwiększenie zakresu tolerancji napięcia w stanie wysokim: 2,3 ? 5,5 V

24. adresowanie pośrednie

odwołuje się do DATA SFR oraz RAM. A bezpośrednio do IDATA RAM

25. DMA i CPU

(ang. Direct Memory Access - bezpośredni dostęp do pamięci) - technika pozwalająca niektórym urządzeniom uzyskiwać bezpośredni dostęp do modułów pamięci operacyjnej, a więc bez pośrednictwa procesora. Jeśli na przykład karta graficzna potrzebuje informacji zawartych w pamięci i transfer danych przeprowadzony jest bez DMA, proces ten odbywa się za pośrednictwem procesora. Dane są ładowane ze źródła do procesora, z procesora do karty. W wersji DMA karta przejmuje kontrolę nad systemem i pobiera potrzebne informacje bezpośrednio z pamięci. Odciąża to procesor, który wykonywane operacje może wykonywać krócej. Ten tryb przesyłania przydaje się szczególnie w systemach wielozadaniowych, kiedy podczas przesyłania danych do i z dysku procesor może zająć się innymi zadaniami.

(ang. Central Processing Unit) – urządzenie cyfrowe sekwencyjne, które pobiera dane z pamięci, interpretuje je i wykonuje jako rozkazy. Wykonuje on ciąg prostych operacji (rozkażów) wybranych ze zbioru operacji podstawowych określonych zazwyczaj przez producenta procesora jako lista rozkażów procesora.

26. czym różni się AKU od ALU

ALU - jednostka arytmetyczno-logiczna (Arithmetic Logic Unit), wykonuje ona operacje logiczne na dostarczonych jej danych, podstawowy zestaw to: dodawanie, podstawowe operacje logiczne (AND, XOR, OR, NOT), oraz przesunięcia bitowe w lewo i w prawo. W bardziej złożonych mikroprocesorach zestaw ten jest znacznie bogatszy.

27. Do czego służy licznik

Zliczania i pamiętania liczby impulsów podanych na jego wejście zegarowe

28. Do czego służy stos

Stos (Stack) zespół rejestrów lub wydzielony logicznie fragment pamięci RAM, w którym informacja jest wpisywana lub odczytywana z jego wierzchołka (szczytu, Top-Of-Stack) wg. zasady LIFO (Last In → First Out)

przeznaczenie stosu: ochrona danych, przenoszenia zmiennych do procedur i podprogramów, przechowywania adresów powrotu z podprogramów, obsługa przerw

29. Zadanie rejestrów indexowych

- Adresowania danych w obszarze pamięci zwanym segmentem danych

30. Superskalarność

Cecha mikroprocesorów polegająca na możliwości realizowania kulki instrukcji jednocześnie, w pojedynczym cyklu zegarowym

31. Mechanizm pamięci wirtualnej

Pozwala traktować programom pamięć masową jako przedłużenie pamięci operacyjnej

32. **Przerwanie niemaskowalne**

(ang. *NMI – Non-Maskable Interrupt*) – specjalny rodzaj przerwania występujący w większości architektur procesorów. Tym, co odróżnia je od zwykłego przerwania, jest brak możliwości zignorowania (zamaskowania) go, stąd termin "niemaskowalne".

Obecnie przerwań NMI używa się głównie do debugowania kodu programów, który może wyłączać zwykłe przerwania (np. kod systemu operacyjnego).

33. **Rodzaje przerwań**

a) Sprzętowe:

a1) Zewnętrzne – sygnał przerwania pochodzi z zewnętrznego układu obsługującego przerwania sprzętowe; przerwania te służą do komunikacji z urządzeniami zewnętrznymi, np. z klawiaturą, napędami dysków itp.

a2) Wewnętrzne, nazywane wyjątkami (ang. *exceptions*) – zgłaszane przez procesor dla sygnalizowania sytuacji wyjątkowych (np. dzielenie przez zero); dzielą się na trzy grupy:

a21) faults (niepowodzenie) – sytuacje, w których aktualnie wykonywana instrukcja powoduje błąd; gdy procesor powraca do wykonywania przerwanego kodu wykonuje tę samą instrukcję która wywołała wyjątek;

a22) traps (pułapki) – sytuacja, która nie jest błędem, jej wystąpienie ma na celu wykonanie określonego kodu; wykorzystywane przede wszystkim w debuggerach; gdy procesor powraca do wykonywania przerwanego kodu, wykonuje następną, po tej która wywołała wyjątek, instrukcję;

a23) aborts (nienaprawialne) – błędy, których nie można naprawić.

b) Programowe – z kodu programu wywoływana jest procedura obsługi przerwania; najczęściej wykorzystywane do komunikacji z systemem operacyjnym, który w procedurze obsługi przerwania (np. w DOS 21h, 2fh, Windows 2fh, Linux x86 przerwanie 80h) umieszcza kod wywołujący odpowiednie funkcje systemowe w zależności od zawartości rejestrów ustawionych przez program wywołujący, lub oprogramowaniem wbudowanym jak procedury BIOS lub firmware.

c) Przerwania diagnostyczne

-pułapki, błędy programowe i sprzętowe

d) Przerwanie zegarowe

generowane jest przez

czasomierz (timer) po wyznaczonym okresie czasu. Obsługa przerwania zegarowego oznacza przekazanie sterowania do jądra systemu operacyjnego, umożliwiając w ten sposób wykonanie pewnych zdań okresowych.

34. **DRAM - pamięć dynamiczna**

Pamięć dynamiczna, DRAM (ang. *Dynamic Random Access Memory*) – rodzaj ulotnej pamięci półprzewodnikowej o dostępie swobodnym, której bity są reprezentowane przez stan naładowania kondensatorów. Poszczególne jej elementy zbudowane są z tranzystorów MOS, z których jeden pełni funkcję kondensatora, a drugi elementu separującego. musi być odświeżany ze względu na rozładowywanie się kondensatorów.

35. **przykład mikrokontrolera z segmentowym adresowaniem pamięci**

Adresem jest suma zawartości dwóch rejestrów: segmentowego i bazowego (liniowe adresowanie wewnątrz segmentu). Adres zapisywany jest zazwyczaj jako oddzielony dwukropkiem numer segmentu i offset, np
012A:0007.

Przykładem może być C51.

36. **Sposoby przetwarzania danych**

- obciążenie rejestrów procesora i pamięci:

-register-to-register

-memory-to-memory

Dokładnie opisane (po PL) jest na slajdach 8[2]

37. Little / Big Endian Machines

Stosowane do przechowywania danych w pamięci. 2 sposoby ułożenia bajtów w bloku:

Little-Endian:

-najmłodszy bajt pod wskazanym adresem

-pod adresem o jeden większym kolejne bajty, wg starszeństwa.

Big-Endian:

-najstarszy bajt pod wskazanym adresem

-pod adresem o jeden większym kolejne młodsze bajty.

38. dla 255+1 jaka będzie wartość C (carry) i OV (overflow)

przy liczbie 255+1 przekroczy się zakres liczb całkowitych bez znaku o jeden

39. ISP, IAP

ISP (ang. In-System Programming) – jest to sposób programowania pamięci

udostępniany przez Philips Bootloader. Pozwala on załadować dane do

pamięci Flash poprzez interfejs szeregowy. Wykorzystywany jest do tego celu

port UART0. ISP wykorzystuje prosty, tekstowy interfejs komend. Do

ładowania programu najlepiej posłużyć się dostarczanym przez producenta

programem Philips LPC2000 Flash Utility 24. Program ten implementuje język

ISP i umożliwia załadowanie pliku w formacie Intel HEX, jak również

odczytanie zawartości pamięci Flash oraz SRAM. ISP inicjowane jest, jeśli w

trybie Reset zostanie zgłoszone przerwanie zewnętrzne na linii EINT1.

• IAP (ang. In-Application Programming) – jest to sposób pozwalający na

programowanie pamięci Flash z aplikacji użytkownika. Udostępniany jest

zestaw komend pozwalający na zapisywanie danych do pamięci Flash, jak

również usuwanie zawartości. Jako, że podczas operacji na pamięci Flash, nie

może ona być używana, IAP wykorzystuje 32B na końcu pamięci SRAM dla

przechowywania kodu niezbędnego do wykonania poleceń. Programy

użytkowe nie mogą używać tego fragmentu pamięci, jeśli IAP ma być

wykorzystywane.

40. SRAM

(ang. Static Random Access Memory), statyczna pamięć o dostępie swobodnym – typ pamięci półprzewodnikowej stosowanej w komputerach, służy jako pamięć buforująca między pamięcią operacyjną i procesorem

41. Przykład na to, jak można ograniczyć częstotliwość (?) licznika impulsów

Zakładam że chodzi o: poprzez preskaler, który dzieli częstotliwość taktowania timera przez do wolną liczbę

$$f_{CK_CNT} = f_{CK_PSC} / (PSCR[15:0] + 1)$$

Lub przez VPBDIV który wstępnie (jeszcze przed preskalerem) zmniejsza częstotliwość

$$F_{VPB} \text{ (VPB Clock)} = \\ = \frac{F_{CCLK}}{VPB \text{ Divider}}$$

42. Przykład, jak można zredukować moc

Np. stosując DVS

Dynamic Voltage Scaling:

- dynamiczne przełączanie napięć zasilających w układach, które nie pracują z pełną mocą (np. odtwarzacz MP3, internetowe audio, kamera cyfrowa itp.)
- obniżenie napięcia zasilania rdzenia (U_{CC}), zmniejszenie częstotliwości taktującej (f_{CLK}) w mikroprocesorach, procesorach sygnałowych (DSP)
- pobór energii proporcjonalny do $(U_{CC})^2 * F_{CLK}$, zmiana częstotliwości taktującej

43. zapisać -1 w U2

Np na 8 bitach:

$$11111111(U_2) = (-2^7) + 2^6 + 2^5 + 2^4 + 2^3 + 2^2 + 2^1 + 2^0 = -128 + 64 + 32 + 16 + 8 + 4 + 2 + 1 = -1 \text{ dziesiętnie}$$

44. Na czym polega dokładanie bitów w USB

ze względu na brak sygnału zegarowego w magistrali i problemy synchronizacji układów peryferyjnych (np. SLIO/CAN P82C150 - Philips) ma wewnętrzny generator synchronizowany stanem magistrali, wprowadzono kodowanie bitów metodą dostawiania bitu (Bit Stuffing):

- po 5 bitach aktywnych (dominant) wstawiany jest 1 bit pasywny (recessive),
- po 5 bitach pasywny (recessive) wstawiany jest 1 bit aktywnych (dominant)

Wstawianie bitów (Bit Stuffing) - metoda, zabezpieczająca poprawne działanie pętli sprzężenia fazowego (PLL) odbiornika, polegająca na modyfikacji wysłanego na magistralę ciągu bitów przez wstawienie po każdej wykrytej sekwencji 6 jedynek jednego zera. Wstawianie bitów jest przeprowadzane przed kodowaniem NRZI.

45. przetwarzanie danych

Sposób przetwarzania danych - obciążenie rejestrów procesora i pamięci:

- **register-to-register** → przestrzenią roboczą są rejestry ogólnego przeznaczenia:
 - **accumulator-based** CPU, z akumulatorem związana jest większość instrukcji arytmetyczno-logicznych i wymiany danych
 - **register-based** CPU (register-to-register), rolę akumulatora pełnią rejestry ogólnego przeznaczenia
- **memory-to-memory** → bloki pamięci traktowane są jako przestrzeń robocza, zastępująca rejestry ogólnego przeznaczenia

46. adresowanie stosu

Adresowanie pośrednie II

Specyficzną odmianą takiego sposobu adresowania jest adresowanie ze wskaźnika stosu, przy którym dostępna dana znajduje się w komórce pamięci na wierzchołku stosu wskazywanym zawsze przez rejestr wskaźnika stosu (SP). Zawartość wskaźnika stosu jest automatycznie dekrementowana, lub inkrementowana w zależności od tego, czy dana ma być odłożona, czy zdjęta ze stosu.

47. maskowanie błędów

Maskowanie jest to proces, w którym wartości zagubionych próbek są szacowane na podstawie wartości próbek sąsiednich. Tak oszacowana wartość nie musi być dokładnie taka sama, jak wartość oryginalna, ale zawsze jest lepsza niż jej brak. W dobrze zaprojektowanych systemach maskowanie jest stosowane bardzo rzadko, najczęściej tylko wówczas, gdy wystąpi usterka lub inny poważny problem techniczny. Należy podkreślić, że maskowanie jest możliwe tylko w danych cyfrowych bez kompresji (PCM). Bardzo trudno jest maskować błędy w danych MPEG.

48. Poziomy napieć w układach cyfrowych (TTL)

Układy TTL zbudowane są z tranzystorów bipolarnych i zasila się je napięciem stałym 5 V. Działają w logice dodatniej - sygnał niski (logiczne "0"), jest zdefiniowany jako napięcie od 0 V do 0,8 V w odniesieniu do masy, a wysoki (logiczna "1") – 2 V a 5 V.

49. Adres początkowy procedury obsługi przerwania

Adres początkowy procedury obsługi przerwania:

- dostarczany przez urządzenie zewnętrzne, to samo, które wywołało przerwanie; po akceptacji przerwania przesyłanie szyną danych adresu początku obsługi przerwania
- w tablicy wektorów przerwań (C51):
w tablicy wyłącznie 2 * N bajtów adresów przerwań (16 bitowa szyna adresowa); pozycja adresu zależna od rodzaju przerwania

stałe adresy ustalone przez producenta procesora, np. co 4 lub co 8 bajtów (3, 0Bh, 13h itd.)

50. Typy stosu

sprzętowy:

- stos złożony z N dodatkowych, równoległych rejestrów lub rejestrów przesuwanych typu LIFO
- szybkie (w stosunku do realizacji programowej) odwołania do stosu mały rozmiar stosu (w stosunku do realizacji programowej)

programowy:

- adresowanie dodatkowym rejestrem, wskaźnikiem stosu SP (Stack Pointer)
- automatyczna inkrementacja / dekrementacja wskaźnika stosu przy każdorazowym odwołaniu do stosu
- alokacja stosu w pamięci RAM
- rozmiar stosu ograniczony rozmiarem dostępnej pamięci RAM

51. Na czym polega dokładanie bitów w USB

W celu uzyskania synchronizacji, przed procesem kodowania NRZI, nadajnik co każde 6 kolejnych bitów aktywnych nadaje bit pasywny. Odbiornik w trakcie transferu musi zliczać czas pomiędzy zmianą stanów sygnału aby określić liczbę bitów aktywnych i jeśli jest ona zbyt duża odbiornik może stracić rachubę. Dużą wadą takiego rozwiązania jest fakt, że prędkość transmisji jest nieprzewidywalna i bardzo łatwo może prowadzić do błędów.

52. jak jest definiowany czas narastania i opadania

>czas, w ciągu którego sygnał wyjściowy układu osiąga (najczęściej) od 10% do 90% wartości tego sygnału w [stanie ustalonym](#).

> A measurement of the time it takes for the trailing edge of a pulse to fall from a high reference value (typically 90%) to a low reference value (typically 10%) of its amplitude. [czyli praktycznie to samo ale w drugą stronę]

53.

54. Rozkazy Bankowe i Emulowane

Emulowane

W niektórych typach procesorów wystąpienie rozkazu (binarnego kodu w programie), który nie jest zdefiniowany jako natywny rozraz procka, powoduje wywołanie przerwania. Obsługa przerwania ma możliwość dostępu do "wadliwego" miejsca w programie (stos), reakcji i poprawnego powrotu i kontynuacji działania. Daje to ostatecznie możliwość programowego emulowania "nowych" rozkazów.

- instrukcje powodują że kod jest czytelniejszy i łatwiejszy do napisania
- ale nie składają się z kodów operacyjnych
- zamiast tego asembler automatycznie zastępuje je odpowiednimi instrukcjami bazowymi

Bazowe

rozkazy **bazowe** są to podstawowe operacje, które procesor potrafi wykonać. rozkazy emulowane to swoiste makra - używane tak często, że wszyte w procesor. dla przykładu - (abstrahując od konkretnego procesora) masz operację wyczyszczenia pewnego rejestru X - CLR X. w istocie procesor realizuje ją jako MOV #0,X - CLR jest więc rozkazem emulowanym, tyle że to już proces sam sobie go dekoduje na podstawowe operacje. często rozkazy typu inkrementacja i dekrementacja są tak realizowane - bo przecież inkrementacja lub dekrementacja polega na dodaniu lub odjęciu wartości 1. z tego powodu INC X w istocie jest realizowane jako ADD #1,X
Rozkazy podstawowe to:

- dev_software_version Zwraca informacje o typie i wersji oprogramowania urządzenia In Circuit Spy

- `dev_orders_list` Zwraca listę wszystkich rozkazów wspieranych przez aktywne oprogramowanie
- `dev_jump_to_address` Umożliwia zmianę aktualnie wykonywanego programu
- `dev_bootloader_init_routine` Ustawia aktywność lub jej brak procedury resetującej system w oprogramowaniu Bootloader

Jak łatwo jest zauważyć Rozkazy obowiązkowe umożliwiają jedynie identyfikację aktywnego oprogramowania i jego zmianę poprzez "skok procesora" do innego obszaru pamięci.

W celu zarządzania przez Bootloader podstawowymi zasobami procesora dostarczono zestaw rozkazów umożliwiający skonfigurowanie i użycie prawie każdego z zasobów procesora.

55. **porównanie zalet stosu sprzętowego i programowego**

alternatywą dla stosów programowych stały się stosy sprzętowe. W tego rodzaju elementach większość operacji związanych z wymianą danych realizowana jest w zewnętrznym układzie scalonym wyposażonym w potrzebne zasoby pamięci. Komunikacja pomiędzy mikroprocesorem a stosem odbywa się za pomocą prostego interfejsu równoległego

lub szeregowego np. I2C i polega na zapisywaniu i odczytywaniu wartości odpowiednich rejestrów wewnętrznych układu. Dużą zaletą takiego rozwiązania jest niezależność od rodzaju mikrokontrolera i jego zasobów oraz przyjętego języka oprogramowania, a także znaczne uproszczenie i ograniczenie rozmiarów docelowego oprogramowania. Pewną wadą jest ograniczona możliwość konfiguracji

56. **co to capture, reload i compare w liczniku**

Układy HSI (ang. High Speed Input) przeznaczone są do pomiaru czasu trwania impulsów. Układy HSO (ang. High Speed Output) umożliwiają generowanie impulsów. W obydwu przypadkach potrzebny jest do tego celu licznik o programowalnym współczynniku podziału oraz :

1) W przypadku HSI – zespół rejestrów, które pod wpływem zewnętrznych sygnałów hardwarowych są w stanie uchwycić „w locie” stan licznika stąd ang. nazwa Capture Registers. Odczytanie stanu tych rejestrów umożliwia obliczenie odstępu czasowego pomiędzy impulsami wpisywanymi.

2) W przypadku HSO – zespół rejestrów wyposażonych w komparatory hardwarowe. Do rejestrów tych wpisywane są wartości stanu licznika, przy których mają zadziałać komparatory powodując wygenerowanie odpowiednich sygnałów na portach wyjściowych procesora. Rejestry te nazywane są Compare Registers.

Niektóre z rejestrów w zależności od zaprogramowania mogą pełnić obie funkcje i dlatego nazywają się Compare/Capture Registers. Blok HSI/HSO w przypadku procesora 517A nazywany jest Compare/Capture Unit lub w skrócie CCU.

Reload może być chyba wykorzystany do załadowania licznika

57. **Priorytety przerwania**

Przerwania dzieli się na klasy: precyzyjne/nieprecyzyjne (ang. *precise/imprecise*), synchroniczne/asynchroniczne oraz maskowalne/niemaskowalne. Każdemu przerwaniu przypisywany jest priorytet. Najwyższy priorytet mają przerwanie ‘System reset’ (priorytet 1) i ‘Machine check’ (priorytet 2). Oba przerwanie należą do asynchronicznych i niemaskowalnych. W związku z najwyższym priorytetem obsługa tych przerwania nie będzie nigdy opóźniona. Ponieważ pojedyncza instrukcja może wywołać więcej niż jedno przerwanie (przerwanie precyzyjne, synchroniczne z priorytetem 3), to kolejność ich obsługi jest ściśle określona w zależności od typu instrukcji (np. instrukcje odczytu i ładowania liczb stałoprzecinkowych mają tą samą kolejność).

Pozostałe priorytety są następujące:

4 – przerwanie nieprecyzyjne, np. przerwanie od jednostki zmiennoprzecinkowej

5 – przerwania maskowalne, nieprecyzyjne, asynchroniczne, np. przerwanie zewnętrzne (ang. *external*)

6 – przerwania maskowalne, nieprecyzyjne, asynchroniczne, np. decrementer

58. Rejestry stanu

Rejestr stanu lub **rejestr flag** (niepoprawnie: *rejestr statusu*) – rejestr procesora opisujący i kontrolujący jego stan. Zawartość tego rejestru może zależeć od ostatnio wykonanej operacji (zmiana pośrednia), bądź trybu pracy procesora, który można ustawiać (zmiana bezpośrednia). Budowa rejestru stanu zależy od modelu programowego danego procesora, w szczególności może on mieć różne rozmiary (zwykle jest to ściśle związane z rodzajem architektury), jednak zwykle ma długość będąca wielokrotnością bajtu, czyli najczęściej oktetu: 8, 16, 32 lub 64 bitów. Pojedynczy bit rejestru stanu nazywa się *flagą* bądź *znacznikiem*.

59. Mikrokontroler z liniowym adresowaniem pamięci

Adresem jest zawartość bazowego rejestru. Rejestr bazowy, rejestr relokacji (angielskie *base register*, *relocation register*), rejestr sprzętowy, którego zawartość jest dodawana do adresu względnego operacji, w wyniku czego uzyskuje się jej sprzętowy adres bezwzględny. Wraz z rejestrem granicznym rejestr bazowy chroni obszary pamięci operacyjnej nie należące do bieżącego procesu przed próbą ich omyłkowego lub złośliwego zapisania przez proces.

60. Opisac Power Down mode

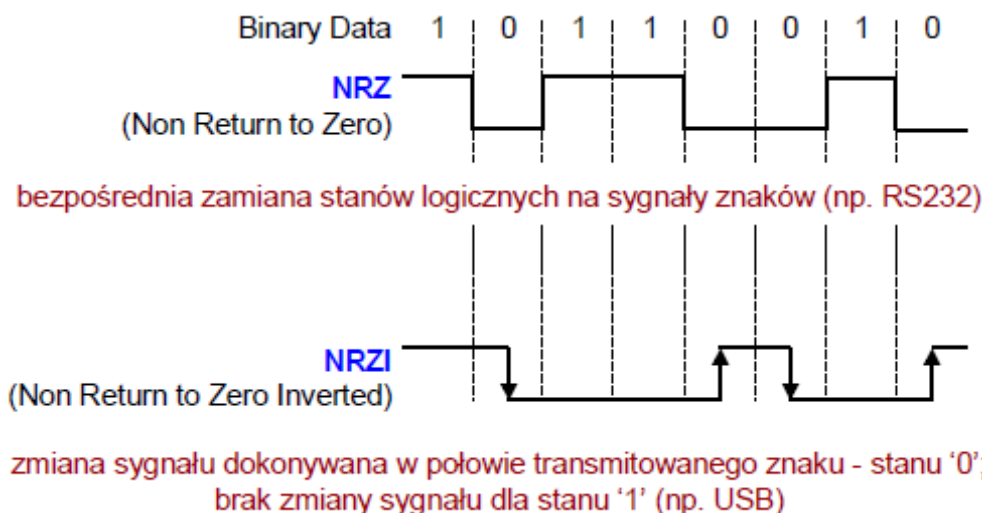
Power Down Mode / Stop Mode / Halt Mode – (Hardware or Software) operation of the MCU is completely stopped and the oscillator is turned off; this mode is used to save the contents of the internal RAM with a very low standby current

Operacja w której MCU jest całkowicie zatrzymany a oscylator wyłączony; tego trybu używa się do zachowania zawartości wewnętrznego RAMu przy bardzo niskim prądzie podtrzymania.

61. kodowanie w CAN

It is transmitted serially onto the bus. This signal pattern is encoded in non-return-to-zero (NRZ) and is sensed by all nodes

[wiadomość] jest szeregowo przesyłana do magistrali. Wtedy wzór, schemat? sygnału jest kodowany w NRZ i jest wykrywany przez wszystkie węzły.



62. przykład mikrokontrolera z segmentowym adresowaniem pamięci

Seria Am2900 (advanced micro devices), np. Am2901

63. Architektura wybranego mikrokontrolera.

Architektura procesora typu Bit Slice

- każdy blok funkcjonalny tworzą oddzielne układy zwane **segmentami**, np. ALU, rejestry
- istnieje możliwość wzajemnej współpracy (połączenia) segmentów w celu zbudowania procesora o zadanej długości słowa, np. dysponując procesorem 4-bitowym można zbudować procesor 8-, 16-, 24- ...-bitowy
- mikrokod procesora (*microcode*) jest pamiętany w pamięci ROM lub szybkiej pamięci RAM (dynamiczne mikroprogramowanie)
- najpopularniejszym procesorem segmentowym jest seria Am2900 (*Advanced Micro Devices*), np. Am2901:
 - struktura: 4-bitowa ALU, 16x4-bitowa pamięć RAM (rejestry), akumulator Q
 - wykonywane operacje: dodawanie z przeniesieniem (*addition with carry*), odejmowanie z pożyczką (*subtraction with borrow*), OR, AND, XOR i XNOR
 - argumenty zawarte w: RAM, akumulatorze, zewnętrznych wejściach, domyślna wartość 0,
 - wynik operacji: przeniesienie dla innych segmentów (*carry-out flag*), znak (*sign flag*), przekroczenie zakresu (*overflow flag*), wynik zerowy (*zero flag*)...

64. Na czym polega przetwarzanie skalarne?

w przetwarzaniu **sekwencyjnym** (skalarnym) każda faza wykonywana jest oddzielnie, niezależnie od pozostałych,

65. Co to jest Idle mod.

Idle Mode – CPU is gated OFF from the oscillator, all peripherals are still provided with the clock and are able to work; Idle Mode is entered by software and can be left by an interrupt or reset

*Atmel: Idle mode is a shallow **sleep mode** where only parts of the device are shut down but the main parts of the microcontroller are running*

CPU jest odłączony od oscylatora, wszystkie urządzenia peryferyjne są ciągle podłączone do zegara i mogą pracować. W idla wchodzi się z poziomu software'u i można z niego wyjść poprzez przerwanie lub reset. Idle jest płytkim sleep modem, gdzie tylko fragmenty urządzenia są wyłączone, ale główne części mikrokontrolera nadal działają.

66. Co to jest Address Acces time.

the total time which a storage device takes between the moment the data is requested and the return of the data

całkowity czas, który mija od momentu w którym urządzenie magazynujące otrzymuje żądanie o dane, do momentu pojawienia się tych danych

67. Różnica między adresowaniem właściwym a natychmiastowym

Adresowanie natychmiastowe (angielskie *immediate addressing, literal addressing*), najprostszy tryb adresowania, w którym część adresowa rozkazu jest jego argumentem

Adresowanie bezpośrednie, adresowanie bezwzględne, adresowanie absolutne (*direct addressing, immediate addressing, absolute addressing*), sposób adresowania, w którym adres argumentu rozkazu znajduje się wprost w części adresowej rozkazu.

68. **Maskowanie bitów**

Masking-ukrywanie pewnych informacji w większym ich zestawie, np. grupy bitów w słowie maszynowym, lub wybranych przerwan wektora przerwan.

69. **Co to jest funkcja alternatywnych portów**

Chodzi chyba o to że w zależności od wpisu w określonym rejestrze, dany pin mikrokontrolera może pełnić różne funkcje np., być portem wyj/wyj albo wyj jakiegoś licznika albo wej przetwornika a/c

70. **przeznaczenie stosu.**

ochrona danych, przenoszenia zmiennych do procedur i podprogramów, przechowywania adresów powrotu z podprogramów, obsługa przerwania

71. **127+1 (AVR)**

C=0, Z=0, N=1, V=1. Bez znaku: $127+1=128$. Ze znakiem: $+127+1=-128$ (zakres przekroczony - choć to zależy chyba od przyjętej filozofii).

72. **wpływ temperatury i pojemności obciążenia na czas propagacji**

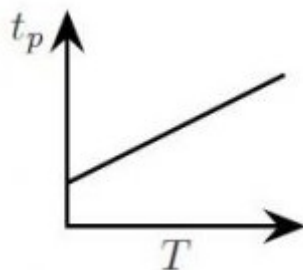
Procesor podczas pracy wydziela energię cieplną. To właśnie ta sprzeczność wynikająca z faktu że procesor sam sobie "szkodzi" - ciepło zwiększa temperaturę, co wydłuża czas propagacji i obniża maksymalną częstotliwość pracy. Dla mikroprocesorów w technologii CMOS (Complementary Metal-Oxide-Semiconductor) wzór na moc jest następujący:

$P=(G+Cf)*U^2$, gdzie:

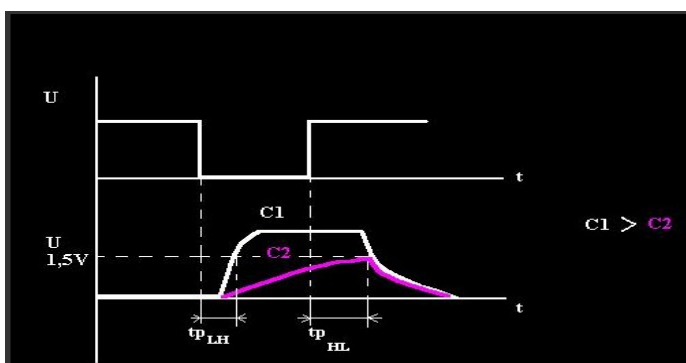
G - teoretyczna moc dla zerowej częstotliwości (dla układów CMOS powinna być zerowa);

f - częstotliwość pracy; U - napięcie.

Mając zatem TDP (a dużo lepiej - 1 pomiar wykonany dla ustawień fabrycznych) i znając standardowe napięcie oraz częstotliwość można w prosty sposób wszystko teoretycznie wyliczyć.



Zwiększenie pojemności obciążenia powoduje zwiększenie czasu propagacji, możemy dojść do sytuacji, że bramka nie zdąży się przełączyć. Ten sam efekt może być spowodowany zbyt dużą prędkością zegara taktującego (impulsów taktujących).



73. **Jak zapisać zmienną 4 bitową w Little endian?**

Sposób zapisu słów bajtowych w którym pierwszeństwo ma bajt mniej znaczący.

Mniej znaczący bajt występuje jako pierwszy.

Porządek typu najpierw starszy, z malejącym porządkiem bitów.

Pojęcie bardzo ważne w przypadku zapisu długich, wielobajtowych liczb.

Najbardziej znany przykład zastosowania kolejności little-endian stanowią procesory firmy Intel z rodziny x86. Produkowane są również procesory, w których kolejność bajtów może być sprzętowo zmieniona, do takich należy na przykład PowerPC.

Jeśli słowo jest 4 bitowe, to jest tak samo przedstawiane, natomiast, gdyby było dłuższe niż 8 bitów (1bajt) to część niższa zostałaby przesunięta na początek(inwersja bajtów- czyli całych bloków 8 bitowych)

74. **Jak przekazywane są dane (LSB) w I2C**

Każda transmisja inicjowana jest poprzez wystąpienie warunku start i kończona poprzez wystąpienie warunku stop. Ilość bitów transmitowanych pomiędzy warunkami nie jest limitowana.

Każde z urządzeń rozpoznawane jest przez unikalny adres przesyłany na początku transmisji.

Osiem bitów reprezentuje adres urządzenia slave natomiast najmniej znaczący bit (**LSB**) określa kierunek transmisji. Wszystkie urządzenia po wykryciu warunku 'start' porównują odebrany adres ze swoim adresem sprzętowym i jeżeli jest on zgodny adresują się jako odbiornik lub nadajnik.

Występują również adresy własne programowalne oraz adresy rozgłoszeniowe (ang. general call) przeznaczone dla wszystkich urządzeń w systemie poprzedzające bajty określające polecenie.

Urządzenia mają oprócz funkcji nadajników i odbiorników przypisane statusy typu master i slave.

MASTER to urządzenie które inicjuje i prowadzi transmisję danych generując sygnały zegarowe.

SLAVE to dowolne poprawnie zaadresowane urządzenie.

Możliwe są trzy formaty transmisji :

- master - nadawca slave – odbiorca
- master - odbiorca slave - nadawca
- ze zmianą kierunku transmisji

Adres Acces time. – strona 12
 AVR- strona 13
 bity -strona 9
 dokładanie bitów w USB - strona 9
 U2 -strona 7
 ALU – strona 4
 Adres początkowy procedury obsługi przerwania – strona 8 11
 Adresowanie pośrednie – strona 4
 Adresowanie stosu – strona 7
 Adresowaniem pośrednim a bezpośrednim – strona 1
 Adresowaniem właściwym a natychmiastowym – strona 12
 AKU – strona 4
 Architektura wybranego mikrokontrolera. – strona 11
 Bankowanie rejestrów – strona 3
 CAN – strona 11
 capture w liczniku– strona 10
 Carry – strona 2
 Cechy charakterystyczne stosu – strona 1
 CISC-strona 3
 Co to jest wskaźnik stosu? – strona 1
 compare w liczniku– strona 10
 CPU-strona 4
 czas narastania i opadania – strona 9
 Czas propagacji -strona 13
 czym różni się AKU od ALU – strona 4
 dla 255+1 jaka będzie wartość C (carry) i OV (overflow) – strona 6
 dlaczego DRAM musi być odświeżany – strona 2
 DMA – strona 2
 DMA i CPU – strona 4
 Do czego służy licznik – strona 4
 Do czego służy stos – strona 4
 dokładanie bitów w USB – strona 7
 DRAM - pamięć dynamiczna – strona 5
 DRAM a SRAM – strona 2
 DRAM-strona 2, 5
 Endian Machines – strona 6
 etykieta – strona 2
 funkcja alternatywnych portów – strona 12
 funkcja Linkera – strona 3
 i2c cechy – strona 3,14
 Idle mod. – strona 12
 ISP, IAP – strona 6
 Jak identyfikuje się źródła przerwania oraz urządzenia zgłaszające przerwanie? – strona 1
 jak można ograniczyć częstotliwość (?) licznika impulsów – strona 6
 kodowanie w CAN – strona 11
 licznik – strona 4
 Linker – strona 3
 Little / Big Endian Machines – strona 6, 14
 LSB-strona 14
 Margines szumów – strona 1
 margines szumu dla TTL – strona 2
 Maskowanie bitów – strona 12
 maskowanie błędów – strona 8
 Mechanizm pamięci wirtualnej – strona 4
 Mikrokontroler z liniowym adresowaniem pamięci – strona 1
 moc-jak zredukować – strona 7
 Obciążenie – strona 13
 obsługi przerwania – strona 8
 pamięć dynamiczna – strona 5
 Pojemność -strona 13
 portów – strona 12
 Power Down Mode-Omówić, co się dzieje podczas – strona 1
 Power Down mode-Opisać – strona 11
 Poziomy napięć w układach cyfrowych (TTL) – strona 8
 Priorytety przerwania – strona 10
 Propagacja – strona 13
 przekazywanie danych -strona 14
 przerwanie maskowane-opis– strona 3
 Przerwanie niemaskowalne – strona 4
 Przerzutnik typu D – strona 2
 Przetwarzania danych– strona 5
 przetwarzanie danych – strona 7
 przetwarzanie skalarne? – strona 12
 przeznaczenie stosu. – strona 13
 przykład mikrokontrolera z segmentowym adresowaniem pamięci– strona 5
 przykład mikrokontrolera z segmentowym adresowaniem pamięci – strona 11
 PWM – strona 3
 Rejestry stanu – strona 10
 reload w liczniku– strona 10
 RISC – strona 3
 Rodzaje przerwania – strona 5
 Rola Program Status Register – strona 1
 Rozkazy Bankowe i Emulowane – strona 9
 SRAM – strona 6
 stos – strona 1
 stosu sprzętowego i programowego-porównanie zalet – strona 10
 Superskalarność – strona 4
 Temperatura – strona 13
 Typy stosu – strona 8
 Udział CPU w transmisji DMA – strona 1
 USB – strona 7, 9
 Watchdog – strona 2
 Zadanie rejestrów indexowych – strona 4
 Zagnieżdżanie przerwania – strona 1
 zmienna 4bitowa -strona 14
 źródła przerwania-strona 1

ARM

Procesor ARM posiada łącznie 37 rejestrów (wszystkie są 32 bitowe):

PC (r15) – licznik programu (Program Counter)

CPSR – rejestr statusowy, obecny status (Current Program Status Register)

SPSR – rejestr statusowy, dostępne w różnych trybach uprzywilejowania (Saved Program Status Register)

LR (r14) – rejestr powrotu (Link Register), wykorzystywany podczas wywoływania funkcji (zapamiętuje PC – adres powrotu)

SP (r13) – zwykle używany jako wskaźnik stosu (Stack Pointer)

r0 - r12 – rejestry ogólnego przeznaczenia

Uwaga :

Nie wszystkie rejestry są dostępne w różnych trybach uprzywilejowania procesora

Wskaźniki stanu

V – przepełnienie podczas operacji ALU (overflow)

C – przeniesienie/pożyczka podczas operacji ALU

Z – ujemny wynik podczas operacji ALU

N – ujemny wynik operacji ALU

lub „mniejszy niż”

Wskaźniki dostępne jedynie dla architektury

ARM v5TE/J

J – Procesor w trybie Jazelle

Q – Sticky Overflow – wskaźnik nasycenia podczas operacji ALU (QADD, QDADD, QSUB or QDSUB, lub rezultat operacji SMLAxy or SMLAWx przekracza 32-bity)

Przerwania

I=1 Przerwania IRQ wyłączone

F=1 Przerwania FIQ wyłączone

Wskaźniki dostępne dla arch. xT

T=1 Tryb pracy ARM

T=1 Tryb pracy Thumb

Tryb pracy procesora

Definiują jeden z 7 try